

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

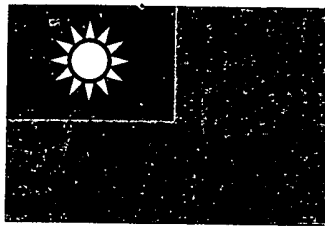
Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA



茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申請日：西元 2000 年 07 月 27 日  
Application Date

申請案號：089115000  
Application No.

申請人：華邦電子股份有限公司  
Applicant(s)

局長  
Director General

陳明邦

發文日期：西元 2000 年 8 月 15 日  
Issue Date

發文字號：  
Serial No. 08911011100

BEST AVAILABLE COPY

申請日期	
案 號	
類 別	

A4  
C4

(以上各欄由本局填註)

# 發明專利說明書

一、發明 名稱	中 文	可減少金屬蝕刻殘留物的形成導電結構層的方法
	英 文	
二、發明 創作人	姓 名	1 楊登棠                  2 呂錕溢 3 賈穎昌                  4 溫錦祥
	國 籍	中華民國
	住、居所	1 彰化縣溪湖鎮田中央路二段 190 巷 31 號 2 台南市南區新興路 416 巷 5 號 3 新竹市錦華里世界街 7 巷 1 號 4 新竹縣竹東鎮商華里世界街 71 巷 17 號 1 樓
三、申請人	姓 名 (名稱)	華邦電子股份有限公司
	國 籍	中華民國
	住、居所 (事務所)	新竹科學工業園區研新三路 4 號
	代 表 人 姓 名	焦佑鈞

裝

訂

線

## 四、中文發明摘要(發明之名稱：)

## 可減少金屬蝕刻殘留物的形成導電結構層的方法

一種可減少金屬蝕刻殘留物的形成導電結構層的方法。其為於形成導電結構層時，在金屬層沉積前，加入前原位金屬層，此前原位金屬層使此金屬層之晶體成長更為均勻，而減少此導電結構層蝕刻殘留物的方法。並具有導電結構層的結構。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

## 英文發明摘要(發明之名稱：)

訂

線

## 五、發明說明 ( | )

本發明是有關於一種半導體製程的方法及其結構，且特別是有關於一種減少金屬蝕刻殘留物 (metal etching residue) 的方法及其結構。其為於形成導電結構層時，在金屬層沉積前，加入前原位金屬層 (pre in-situ metal layer)，以減少導電結構層蝕刻殘留物的方法。

金屬為廣泛的應用在積體電路中的連線 (interconnect) 的材料，且常為多層結構形式的導電結構層。為改善金屬的性質，常於金屬中加入雜質 (dopant)，但此雜質會造成金屬沉積時，晶體成長不均勻，以致導電結構層蝕刻後，蝕刻殘留物的發生。

以鋁為例，為改善鋁之電致遷移 (electron migration) 係數及降低鋁與矽底材 (silicon substrate) 互相擴散形成尖峰 (spiking)，因此便於鋁中添加銅及矽等雜質，以鋁矽銅合金作為導電結構層之金屬層之主要材料。

為更有效地預防鋁與矽相互擴散，同時降低兩者之間的阻值 (resistance)，需在金屬層與矽底材中間加入一層阻絕效果良好的阻障層 (barrier layer)，此阻障層一般由一層鈦 (titanium) 和一層氮化鈦 (titanium nitride) 組成。通常於阻障層沉積完成後，會將晶片曝露於空氣一段時間，及經過熱處理 (thermal treatment) 其中之一來增加氮化鈦之阻絕能力。而於熱處理同時，底層的鈦會與矽底材表面，形成一層矽化鈦 (titanium silicide)，以降低導電結構層與矽底材之電阻值。接著再沉積一金屬層於阻障層上方。再於此金屬層上沉積一抗反射層 (anti-reflective

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明（ ㄉ ）

layer），此抗反射層包括氮化鈦。此阻障層，金屬層和抗反射層共同組成導電結構層。

如第 1A 圖所示，其所繪示的是習知的導電結構層剖面示意圖。此導電結構層形成於一半導體基底 10 上，其包括形成一介電層 12 位於此半導體基底 10 上。介電層 12 有一開口 14 曝露此基底 10 上之部份元件區域。一共形的阻障層 20 形成於開口 14 與介電層 12 上，然後以熱處理及於空氣中冷卻一段時間二者擇一之方法處理阻障層 20。一金屬層 24 形成於阻障層 20 上。另外一抗反射層 26 也形成於金屬層 24 上。參閱第 1B 圖，金屬層 24 及阻障層 20 經微影蝕刻定義後，而形成一習知導電結構層。在蝕刻過程中，一些點狀殘留物 16 會殘留於曝露的介電層 12 上。習知的蝕刻殘留物造成的可能原因之一，與處理阻障層 20 有關。處理阻障層 20 時，阻障層 20 表面晶體間隙易形成氧化物，造成後續形成金屬層 24 時，金屬晶體成長不均勻，而使雜質分布不均，以致在蝕刻導電結構層過程中，一些點狀殘留物 16 會殘留於暴露的介電層 12 上。

第 2 圖是一電子顯微鏡相片顯示習知之導電結構層於蝕刻後，有去除不盡的殘留物存在。

有鑑於此，本發明提供一種可減少金屬蝕刻殘留物的形成導電結構層的方法及其結構，可以以增加一前原位金屬層於導電結構層中，使金屬層之晶體成長更為均勻，以降低導電結構層蝕刻後蝕刻殘留物發生的機率。

本發明提供一種可減少金屬蝕刻殘留物的形成導電

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

## 五、發明說明( ㄅ )

結構層的方法。在沉積金屬層於一基底之前，先行沉積一前原位金屬層，再於連續真空狀態下，沉積此金屬層。

於上述之方法中，其中加入此前原位金屬層之作用在於可提供金屬層一個適當的沉積表面，使金屬層之晶體成長可以更為均勻，以減少雜質分布不均的現象發生。如此，可降低導電結構層經蝕刻後蝕刻殘留物發生的機率。此前原位金屬層與此金屬層為組成導電結構層之全部或一部份。

本發明提供一種可減少金屬蝕刻殘留物的導電結構層的結構。此導電結構層形成於一基底上，具有位於此基底上的一前原位金屬層，和位於該前原位金屬層上的一金屬層。此結構可降低金屬層經蝕刻後蝕刻殘留物發生的機率。此前原位金屬層與此金屬層為組成導電結構層之全部或一部份。

為讓本發明之上述目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

圖式之簡單說明：

第 1A 圖繪示習知之導電結構層剖面示意圖，此導電結構層位於一基底上；

第 1B 圖繪示習知定義後之導電結構層剖面示意圖，殘留物留置於介電層上；

第 2 圖之電子顯微鏡相片顯示習知之導電結構層於蝕刻後，有去除不盡的殘留物存在；

## 五、發明說明(ψ)

第 3A 圖至第 3E 圖，繪示本發明之導電結構層之製造流程剖面示意圖，此導電結構層位於一基底上；以及

第 4 圖之電子顯微鏡相片顯示本發明之導電結構層於蝕刻後，點狀蝕刻殘留物可有效地被避免。

圖示標記說明：

- 10 50 : 半導體基底
- 12 52 : 介電層
- 14 54 : 開口
- 20 60 : 阻障層
- 16 : 蝕刻殘留物
- 62 : 前原位金屬層
- 24 64 : 金屬層
- 26 66 : 抗反射層

### 實施例

本發明提供一種可減少金屬蝕刻殘留物的形成導電結構層的方法及其結構。其特徵在沉積一金屬層前，先於同一真空機台中，沉積前原位金屬層於一基底，以提供此金屬層一個適當的沉積表面，使此金屬層之成長可以更為均勻，以減少雜質分布不均的現象發生。如此，可降低金屬層經蝕刻後蝕刻殘留物發生的機率。

第 3A 圖至第 3D 圖繪示的是根據本發明之一較佳實施例，本發明之導電結構層之製造流程剖面示意圖，此導電結構層位於一基底上。此導電結構層於蝕刻後，蝕刻殘留物可有效地被避免。首先，請參照第 3A 圖，於一半導體

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線



## 五、發明說明 ( 5 )

基底 50 上沉積一介電層 52，後經由微影蝕刻步驟，於此介電層 52 上形成一開口 54，此開口 54 暴露出基底 50 上的元件(未示於圖)的部份區域。

然後，請參照第 3B 圖，於開口 54 和介電層 52 上沉積一阻障層 60。此阻障層 60 共形於基底 50 上之一結構表面。當開口 54 為接觸窗時，此阻障層 60 例如可包括二層，其由先沉積一層鈦，再沉積一層氮化鈦而組成，或者由先沉積一層鈦，再沉積一層鎢化鈦組成。當開口 54 為介層窗時，此阻障層 60 例如包括氮化鈦及鎢化鈦二者之一。此阻障層 60 之厚度視開口之縱橫比(aspect ratio)而定。此阻障層 60 於沉積後，再經過熱處理或於空氣中冷卻一段時間其中之一，以增加阻障層 60 之阻絕效果。

然後，請參照第 3C 圖，在阻障層 60 上沉積一前原位金屬層 62，此前原位金屬層可為鈦、鎢化鈦、及氮化鈦，其中之一，較佳為氮化鈦。其厚度例如是約 50 埃到約 1100 埃。此前原位金屬層 62 未經過熱處理及於空氣中冷卻一段時間二者擇一，可提供一個適當的沉積表面。只要有沉積此前原位金屬層 62，即可達到減少導電結構層金屬蝕刻殘留物的功能。

請參照第 3D 圖，在沉積前原位金屬層 62 的同一真空機台，於連續真空狀態環境下，沉積一金屬層 64 於此前原位金屬層 62 上。一般也可沉積一抗反射層 66 於此金屬層 64 上。

請參照第 3E 圖，經一微影蝕刻步驟，定義阻障層 60，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(6)

前原位金屬層 62，金屬層 64，以及抗反射層 66，於是形成本發明之可減少金屬蝕刻殘留物的導電結構層。由於此金屬層 64 沉積於此前原位金屬層 62 上，此前原位金屬層 62 提供一個適當的沉積表面，使此金屬層 64 之晶體成長更為均勻，以減少雜質分布不均的現象發生。如此可降低導電結構層經蝕刻後蝕刻殘留物發生的機率。此金屬層 64 包括鋁、銅、鎢、鋁合金、鋁矽合金、鋁矽銅合金、鋁銅合金、銅合金、及鎢合金其中之一，其中較佳為鋁矽合金和鋁矽銅合金。而抗反射層 66 例如包括氮化鈦。

第 4 圖之電子顯微鏡相片顯示本發明之導電結構層於蝕刻後，點狀蝕刻殘留物可有效地被避免。請同時參閱第 2 圖與第 4 圖，於第 2 圖中，點狀蝕刻殘留物散佈於導電結構層之間的曝露之介電層上。於第 4 圖中，採用本發明的方法，於形成金屬層 64 之前，先形成前原位金屬層 62。如此，傳統的點狀蝕刻殘留物可有效地被避免。

雖然第 3D 圖揭露之本發明之導電結構層之較佳實施例如包括阻障層 60、前原位金屬層 62、金屬層 64、和抗反射層 66，本發明之導電結構層，實際上只需要前原位金屬層 62 和金屬層 64，就可達到減少金屬蝕刻殘留物的目的。

綜上所述，本發明之可減少金屬蝕刻殘留物的形成導電結構層的方法，具有許多特徵：

- (1) 本發明之導電結構層中之前原位金屬層，在沉積金屬層前沉積，屬於同一真空機台中的沉積步

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明( 7 )

驟，並未增加製程困難度。

(2) 本發明之導電結構層，因形成前原位金屬層 62，於蝕刻後，蝕刻殘留物有效被避免。

(3) 本發明之導電結構層，因於蝕刻後，蝕刻殘留物有效被避免，可增加元件的可靠度。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

1.一種可減少金屬蝕刻殘留物的形成導電結構層的方法，包括下列步驟：

提供一基底；

形成一阻障層於該基底上；

形成一前原位金屬層於該阻障層上；以及

於該前原位金屬層之同一真空環境中，連續形成一第一金屬層，於該前原位金屬層上。

2.如申請專利範圍第 1 項所述之可減少金屬蝕刻殘留物的形成導電結構層的方法，其中該前原位金屬層包括鈦、氮化鈦、及鎢化鈦其中之一。

3.如申請專利範圍第 1 項所述之可減少金屬蝕刻殘留物的形成導電結構層的方法，其中該第一金屬層包括鋁，銅，鎢，鋁矽合金，鋁矽銅合金，鋁銅合金，鋁合金，銅合金，及鎢合金其中之一。

4.如申請專利範圍第 1 項所述之可減少金屬蝕刻殘留物的形成導電結構層的方法，其中更包括一處理該阻障層之步驟。

5.如申請專利範圍第 4 項所述之可減少金屬蝕刻殘留物的形成導電結構層的方法，其中該處理該阻障層之步驟包括高溫熱回火處理及於空氣中冷卻一段時間二者擇一。

6.如申請專利範圍第 4 項所述之可減少金屬蝕刻殘留物的形成導電結構層的方法，其中該阻障層包括至少一第二金屬層。

7.如申請專利範圍第 1 項所述之可減少金屬蝕刻殘留

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

物的形成導電結構層的方法，其中該阻障層包括鈦，氮化鈦，及鎢化鈦其中之一。

8.如申請專利範圍第 1 項所述之可減少金屬蝕刻殘留物的形成導電結構層的方法，其中該基底包括一介電層與定義於該介電層之一開口。

9.如申請專利範圍第 1 項所述之可減少金屬蝕刻殘留物的形成導電結構層的方法，更包括沉積一抗反射層於該第一金屬層上。

10.如申請專利範圍第 9 項所述之可減少金屬蝕刻殘留物的形成導電結構層的方法，其中該形成該抗反射層步驟中，該抗反射層包括氮化鈦。

11.如申請專利範圍第 1 項所述之可減少金屬蝕刻殘留物的形成導電結構層的方法，更包括一微影與一蝕刻步驟以定義該阻障層與該前位金屬層與該第一金屬層。

12.一種形成導電結構層的方法，包括下列步驟：

提供一基底；

形成一前原位金屬層，於該基底上；以及

形成一金屬層，於該前原位金屬層上。

13.如申請專利範圍第 12 項所述之形成導電結構層的方法，其中該金屬層係在形成該前原位金屬層之同一真空機台中，以連續方式形成於該前原位金屬層上。

14.如申請專利範圍第 12 項所述之形成導電結構層的方法，其中該前原位金屬層包括鈦、氮化鈦、及鎢化鈦其中之一。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

15.如申請專利範圍第 12 項所述之形成導電結構層的方法，其中該金屬層包括鋁，鎢，銅，鋁矽合金，鋁矽銅合金，鋁銅合金，鋁合金，鎢合金，和銅合金其中之一。

16.如申請專利範圍第 12 項所述之形成導電結構層的方法，更包括一微影與一蝕刻步驟以定義該前位金屬層與該金屬層。

17.一種導電結構層的結構，形成於一基底上，該結構包括：

- 一阻障層，形成於該基底上；
- 一前原位金屬層，形成於該阻障層上；以及
- 一第一金屬層，位於該前原位金屬層上。

18.如申請專利範圍第 17 項所述之導電結構層的結構，其中該前原位金屬層包括鈦、氮化鈦、及鎢化鈦其中之一。

19.如申請專利範圍第 17 項所述之導電結構層的結構，其中該第一金屬層包括鋁，鎢，銅，鋁矽合金，鋁矽銅合金，鋁銅合金，鋁合金，鎢合金，及銅合金其中之一。

20.如申請專利範圍第 17 項所述之導電結構層的結構，其中該阻障層包括至少一第二金屬層。

21.如申請專利範圍第 17 項所述之導電結構層的結構，其中該阻障層包括鈦，氮化鈦，和鎢化鈦其中之一。

22.如申請專利範圍第 17 項所述之導電結構層的結構，其中該基底包括一介電層與定義於該介電層之一開口。

23.如申請專利範圍第 17 項所述之導電結構層的結

## 六、申請專利範圍

構，更包括一抗反射層，該抗反射層位於該第一金屬層之上。

24.一種導電結構層的結構，形成於一基底上，該結構包括：

一前原位金屬層，形成於該基底上；以及  
一金屬層，形成於該前原位金屬層上。

25.如申請專利範圍第 24 項所述之導電結構層的結構，其中該前原位金屬層包括鈦、氮化鈦、及鎢化鈦其中之一。

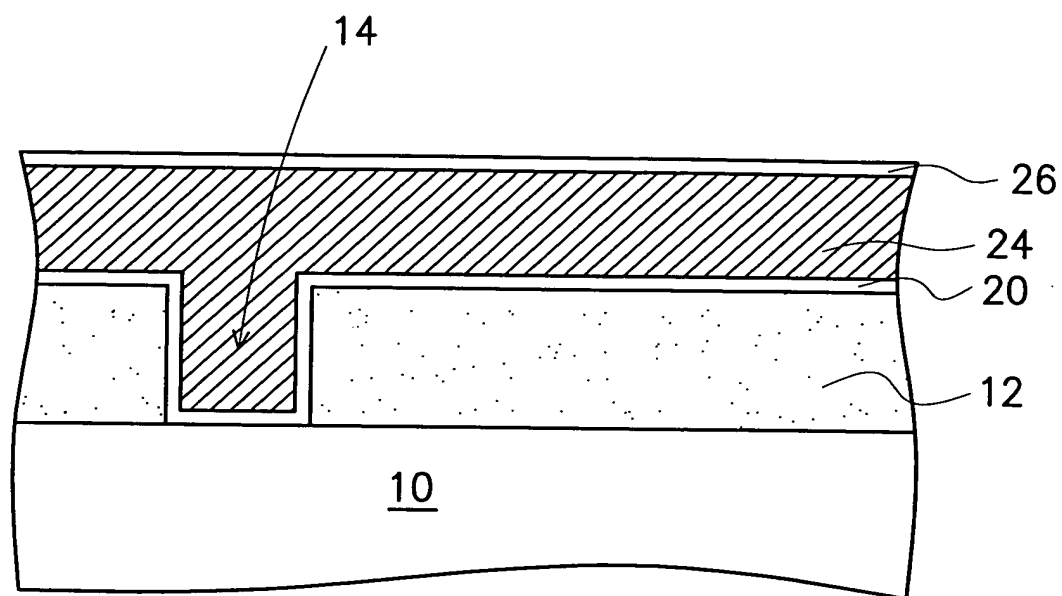
26.如申請專利範圍第 24 項所述之導電結構層的結構，其中該層包括鋁，鎢，鋁矽合金，鋁矽銅合金，鋁銅合金，鋁合金，鎢合金，及銅合金其中之一。

(請先閱讀背面之注意事項再填寫本頁)

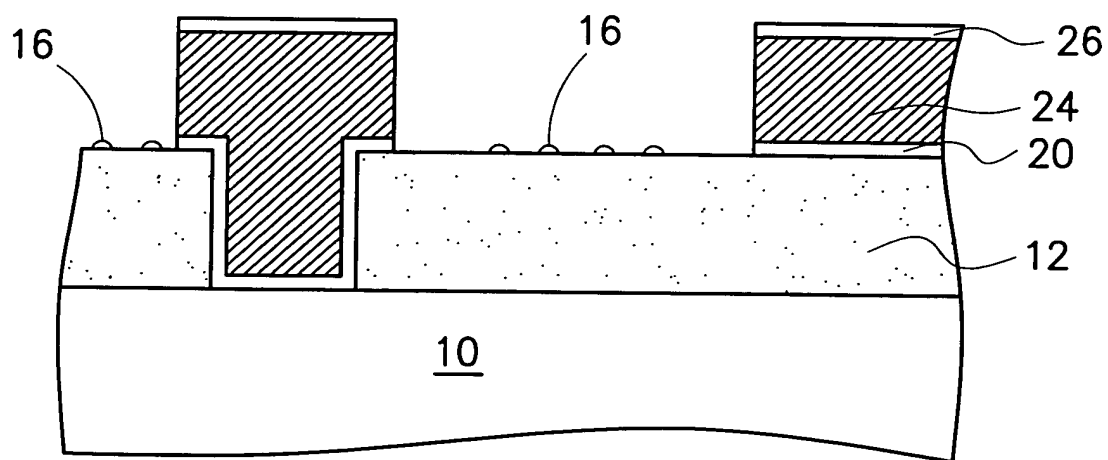
裝

訂

線

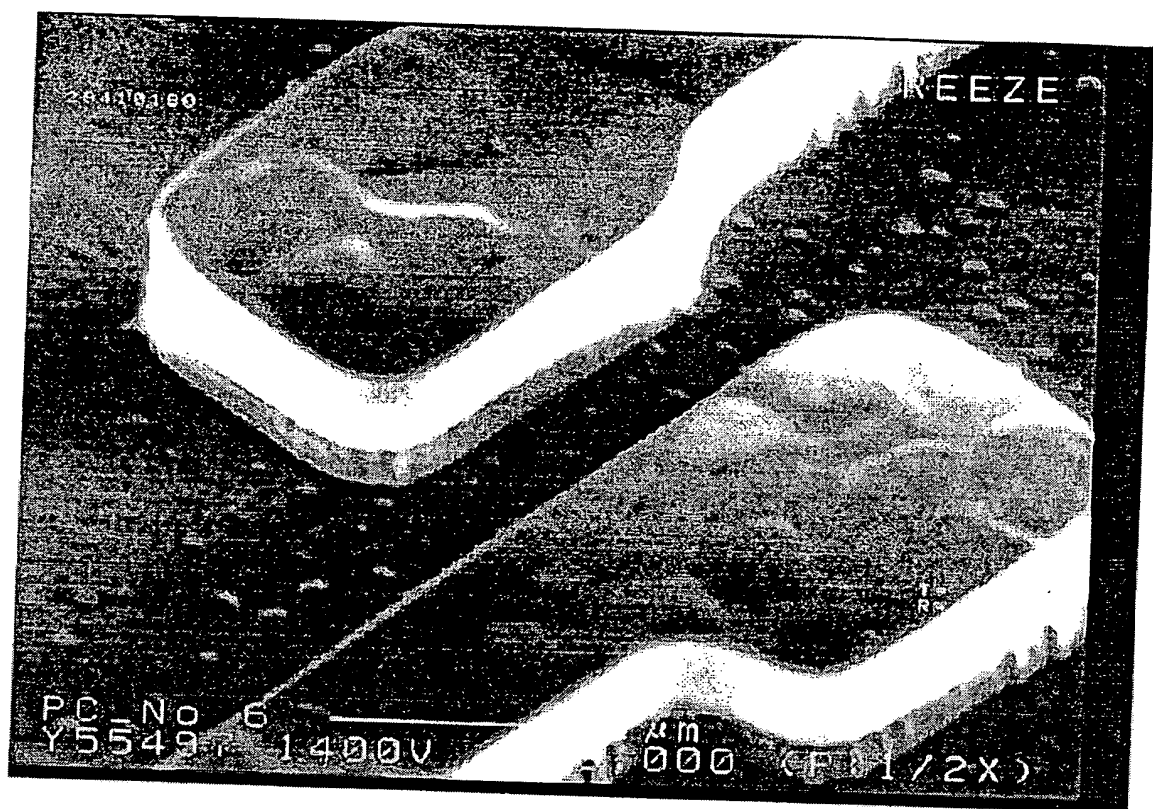


第 1A 圖

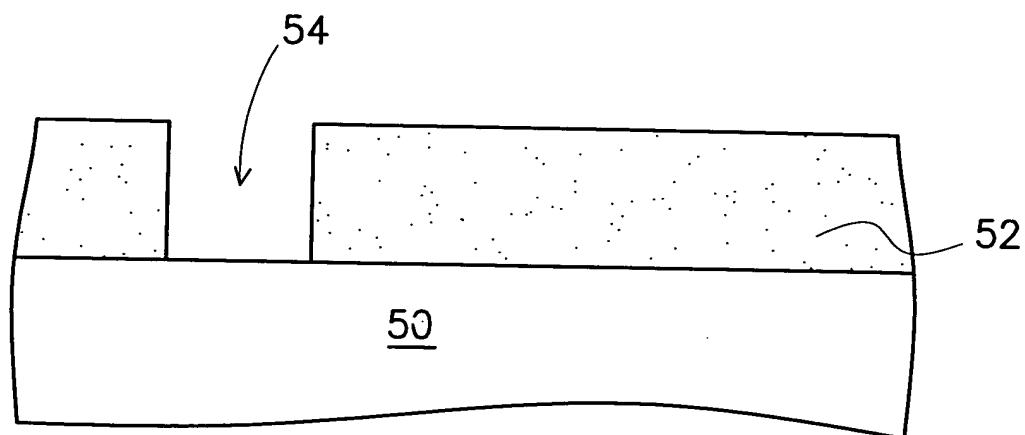


第 1B 圖

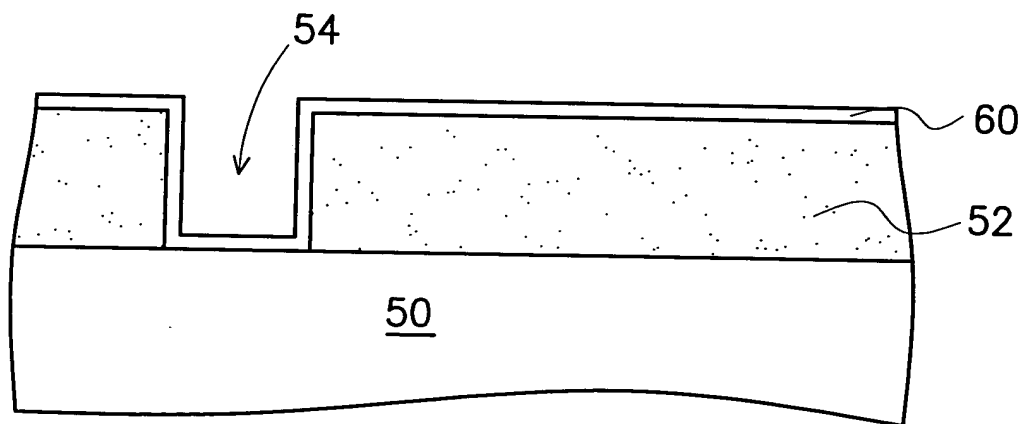




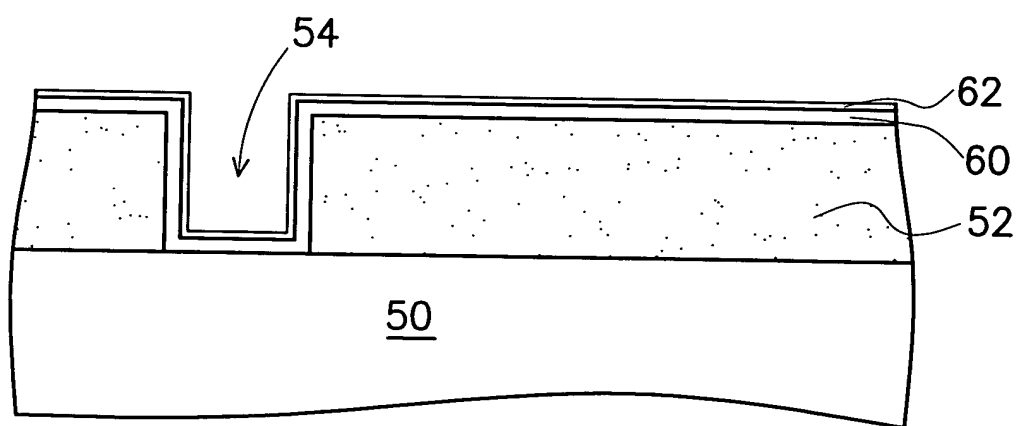
第 2 圖



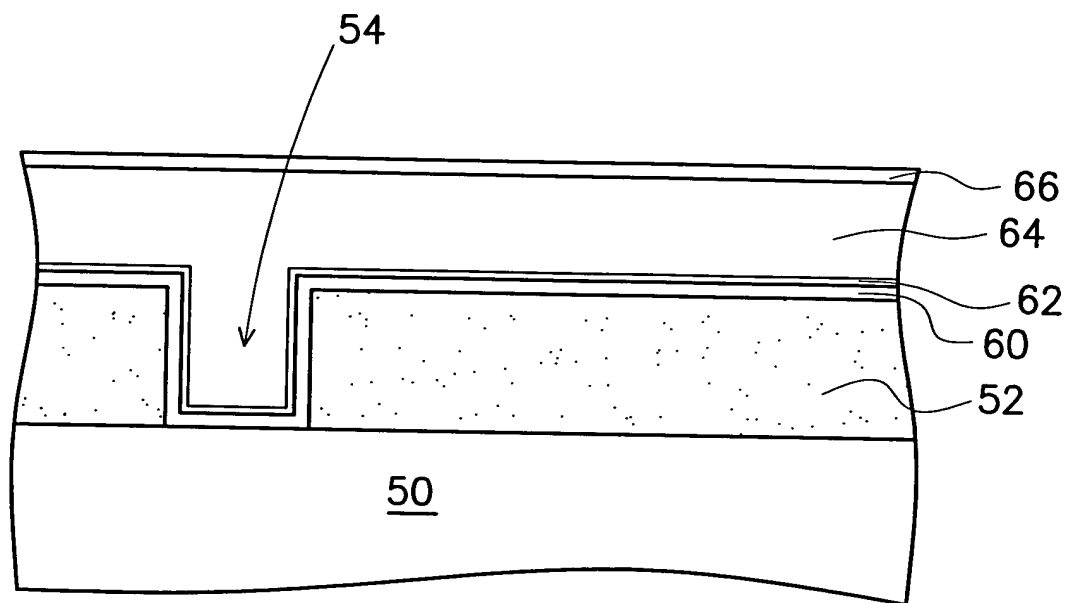
第3A圖



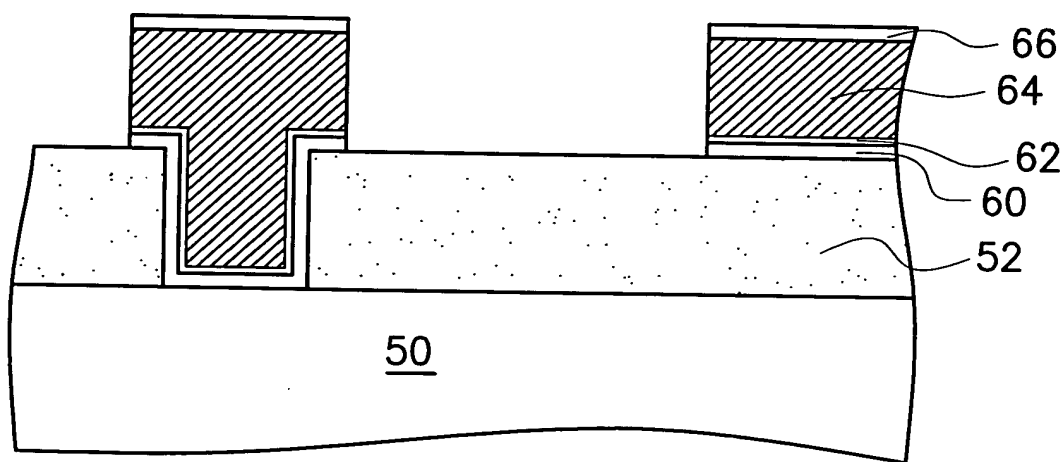
第3B圖



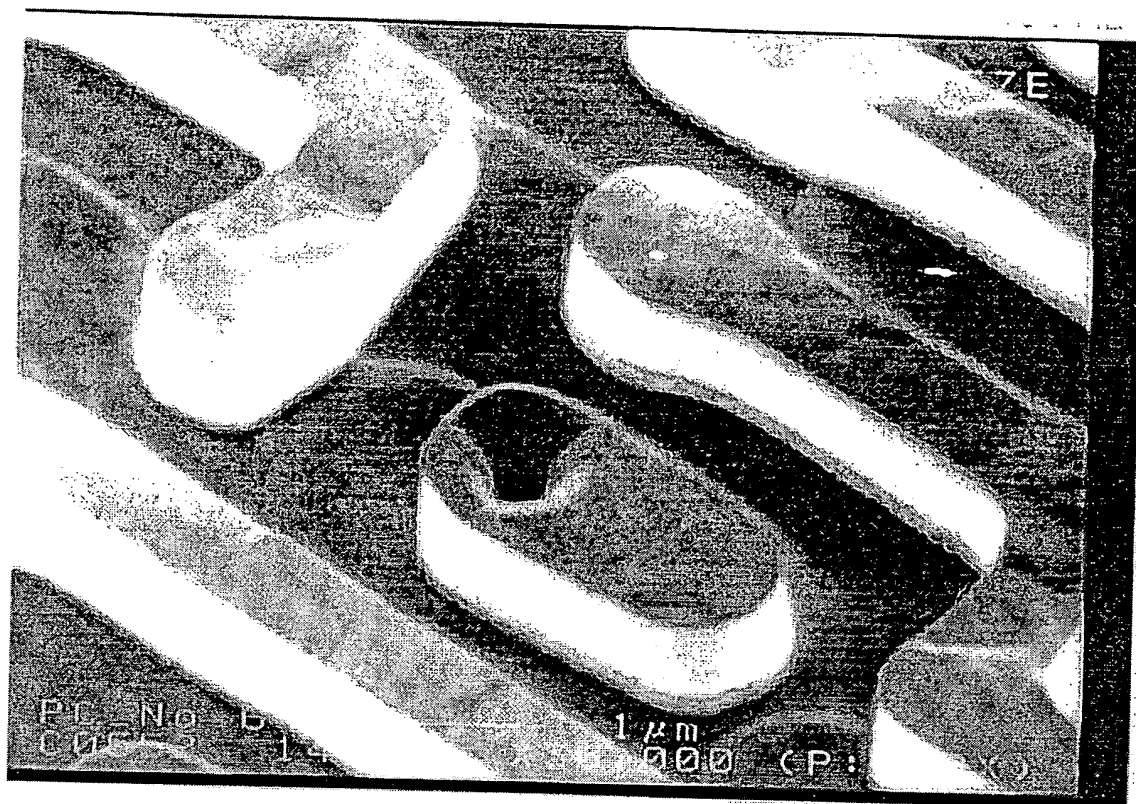
第3C圖



第 3D 圖



第 3E 圖



第 4 圖